

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-160653

(43)Date of publication of application : 25.06.1993

(51)Int.Cl.

H03G 3/20

(21)Application number : 03-350350

(71)Applicant : YAMAHA CORP

(22)Date of filing : 09.12.1991

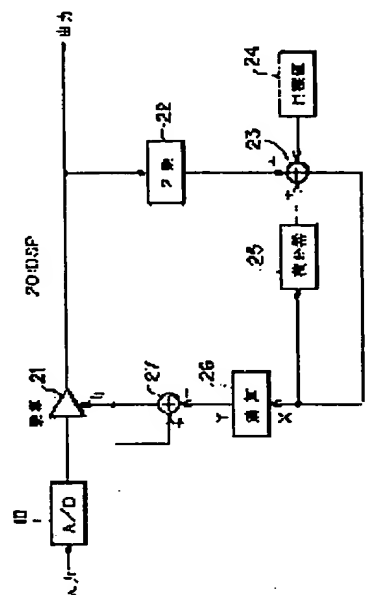
(72)Inventor : KAMIYA SATORU

(54) AUTOMATIC GAIN CONTROLLER

(57)Abstract:

PURPOSE: To eliminate a need of hardware for adjustment and to shorten the processing time by adjusting the input gain by a digital signal processor DSP program.

CONSTITUTION: A DSP 20 is provided with a multiplier 21 corresponding to an input volume and a multiplier 22 which squares an output and converts it to energy. An adder 23 adds an output of an integrator 25 while subtracting a target energy 24 from this energy to obtain an error X. A computing element 26 calculates a corrected value Y suitable for correction of the error X obtained by the adder 23, and an accumulator 27 converts this corrected value Y to a gain adjustment coefficient (h). With respect to the automatic gain control AGC characteristic, it is ideal that the extent of feedback is small in the vicinity of a target value but is increased while going away from the target value. This ideal curve is easily realized by the operation of the DSP 20. That is, the computing element 26 calculates the correction value Y from the error X in accordance with a polynomial I, and multiplication and addition are performed in parallel in the DSP 20 to perform the processing at a high speed.



$$Y = a_0 + a_1 X + a_2 X^2 + \dots + a_n X^n$$

$a_0, a_1, a_2, \dots, a_n$ は係数である。

LEGAL STATUS

[Date of request for examination] 22.09.1993

[Date of sending the examiner's decision of rejection] 30.04.1996

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Best Available Copy

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平5-160653

(43)公開日 平成5年(1993)6月25日

(51)Int.Cl.⁵

H 0 3 G 3/20

機別記号

庁内整理番号

F I

技術表示箇所

A 7239-5 J

審査請求 未請求 請求項の数1(全13頁)

(21)出願番号 特願平3-350350

(22)出願日 平成3年(1991)12月9日

(71)出願人 000004075

ヤマハ株式会社

静岡県浜松市中沢町10番1号

(72)発明者 神谷 了

静岡県浜松市中沢町10番1号 ヤマハ株式会社内

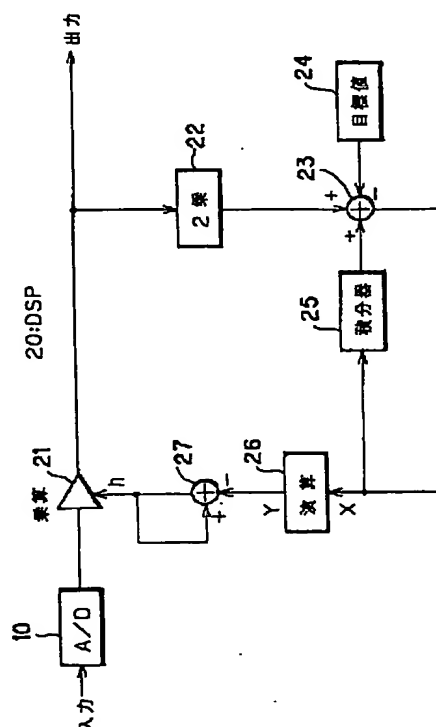
(74)代理人 弁理士 伊丹 勝

(54)【発明の名称】 自動利得制御装置

(57)【要約】

【目的】 入力ゲイン調整をDSPプログラムを行うことにより、調整用のハードウェアを要せず、またパラメータの変更が容易であり、さらには目標とするエネルギー値において安定し、且つ全体変動に対し素早く追従することができ、しかも処理時間の短い自動利得制御を可能とする。

【構成】 入力信号にAGC乗算係数をかける乗算手段と、このAGC乗算係数を乗じられた出力信号の積分値から目標値を減算して誤差を算出する加算手段と、この誤差を基に所定の多項式で補正値を算出する演算手段と、この補正値から前記AGC乗算係数を作成する累算手段とを備え、これらの各手段をデジタル信号処理器のプログラムで構成する。



【特許請求の範囲】

【請求項1】 入力信号にAGC乗算係数をかける乗算手段と、
このAGC乗算係数を乗じられた出力信号の積分値から目標値を減算して誤差を算出する加算手段と、
この誤差を基に所定の多項式で補正値を算出する演算手段と、
この補正値から前記AGC乗算係数を作成する累算手段とを備え、
これらの各手段をデジタル信号処理器のプログラムで構成してなることを特徴とする自動利得制御装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】この発明は、デジタル信号処理器(Digital Signal Processor: DSP)を用いて入力ゲイン調整を行う自動利得制御装置に関する。

【0002】

【従来の技術】入力信号のレベルが変動しても出力信号のレベルを一定に保つ自動利得制御(Automatic Gain Control: AGC)は、オーディオ装置等の分野で活用される。この種のAGC装置は、入力信号レベルと目標値との誤差を検出し、その誤差を縮小する方向にボリュームの減衰量又は可変利得増幅器のゲインを変化させて出力信号のレベルを目標値に保とうとするフィードバック系を用いる。

【0003】図10は従来のAGC装置の一例を示すブロック図である。この図において、1はアナログ回路形式のボリュームであり、ここにアナログ信号を入力するとそのレベル変動を抑えた一定レベルの出力が得られる。即ち、ボリューム1の出力はフィードバックループを構成する整流器2にその一部が入力し、ここで全波整流されることで電圧からエネルギーに形態変換される。この整流器2以降の回路をデジタル構成とする場合は、整流器2の前段にA/D変換器を設け、ここでデジタル化された信号を整流器2に入力する。この場合、整流器2は入力デジタル信号の極性を判定し、負符号の信号は反転して出力する(正符号の信号はそのまま出力する)。

【0004】整流器2の出力は2種類のカウンタ3A、3Bで計数される。これらのカウンタ3A、3Bは常に目標とする一定値(目標エネルギー)を減算しながら入力値(入力エネルギー)を計数し、その減算値を所定累算タイミングで所定期間累算する積分器として動作する。この場合、カウンタ3A、3Bの累算期間が同じであり、且つカウンタ3Aの累算タイミングがカウンタ3Bより長く設定されているものとする、累算回数の少ないカウンタ3Aは、同期間により多くの累算回数を有するカウンタ3Bに比べてより大きな誤差の検出に利用される。

【0005】図11はこの特性を示している。即ち、カ

ウンタ3Bが判定する誤差は小さい領域C3に限られ、この場合図示の例では補正量0を適用する。これに対し、カウンタ3Aが判定する誤差はこれより大きな領域C2、C4に及び、この場合補正量は次第に大きくなる。4A、4Bはこれらのカウンタ3A、3Bの計数値が図11の5つの領域C1~C5のいずれにあるかを判定する領域比較器である。また、5はこれら領域比較器4A、4Bの判定結果に応じて補正量0を含む5つの補正係数を選択出力する補正係数セクタである。この補正係数は累算器6に反転入力し、ボリューム1の減衰量制御に利用される。

【0006】

【発明が解決しようとする課題】上述した従来のAGC装置には次のような欠点がある。

(1) 目標とするエネルギー値で入力信号を受けようとすると、全体レベル変動に追従する速度が低下する。

(2) 全体レベル変動に対し速く追従しようとする、目標とするエネルギー値近傍で入力ボリューム値が振動する。

(3) 目標とするエネルギー値と入力信号との誤差によって追従係数を可変しようとする、変化点の検出やパラメータの調整に対し、多くのハードウェアを必要とする。

(4) ハードロジック的な回路構成であるため、パラメータの変更が難しい。

(5) 装置構成上、多くのハードウェアを必要とする。

【0007】この発明は、入力ゲイン調整をDSPプログラムで行うことにより、調整用のハードウェアを要せず、またパラメータの変更が容易であり、さらには目標とするエネルギー値において安定し、且つ全体変動に対し素早く追従することができ、しかも処理時間の短い自動利得制御装置を提供することを目的としている。

【0008】

【課題を解決するための手段】上記目的を達成するため本発明では、入力信号にAGC乗算係数をかける乗算手段と、このAGC乗算係数を乗じられた出力信号の積分値から目標値を減算して誤差を算出する加算手段と、この誤差を基に所定の多項式で補正値を算出する演算手段と、この補正値から前記AGC乗算係数を作成する累算手段とを備え、これらの各手段をデジタル信号処理器のプログラムで構成してなることを特徴としている。

【0009】

【作用】この発明では、AGCの入力ゲイン調整をDSPプログラムで行うようにしてある。周知のようにDSPは、データメモリ、乗算器、加算器、アキュムレータ、セクタ等を内蔵し、外部から取り込んだ入力データとデータメモリ内のデータとの演算を加算器と乗算器で平行して実行するため高速処理が可能である。このため、入力信号と目標値との誤差を補正する特性曲線を理想特性に近づける場合でも、装置全体のハードウェア量

が増加せず、しかも処理速度も高速である。従来のハードウェア構成では、膨大なハード量を伴ったとしても理想補正特性を実現することは難しい。また、このようにしてもパラメータを変更するためにはハード構成の変更が必要である。これに対し、この発明によれば、パラメータの変更も容易であり、また調整用のハードウェアも要しない。

【0010】

【実施例】以下、図面を参照してこの発明を具体的に説明する。図1はこの発明の原理図で、10は入力信号をデジタル値に変換するA/D変換器、20は自動利得制御を行うDSPである。A/D変換器10は入力信号がデジタル信号の場合には不要であり、また出力をアナログ信号とする場合には出力段にD/A変換器を配置する。DSP20は、入力ボリュームに相当する乗算器21、その出力（電圧）を2乗してエネルギーに変換する乗算器22、この入力エネルギーから目標とするエネルギー24を減算しながら積分器25の出力を加算して誤差Xを求める加算器23、この加算器23の出力を累算する積分器25、上記誤差Xの補正に適した補正值Yを算出する演算器26、この補正值Yを乗算器21のゲイン調整係数hに変換する累算器27を有する。

【0011】AGC特性としては、目標値近傍ではフィードバック量が小さく、目標値から離れるに従いフィードバック量が増大することが理想的である。図11に示した従来の特性は、これを近似的に実現したものであるが、ハード量の関係からその特性は滑らかではない。これに対し、この発明では、図2に示すような理想曲線を演算によって容易に実現することができる。例えば、上述した補正值Yを誤差Xから次の多項式で算出する。

【0012】

$$【数1】 Y = a_0 + a_1 X + a_2 X^2 + \dots + a_n X^n$$

ここで、 $a_0, a_1, a_2, \dots, a_n$ は係数である。

【0013】上記多項式は乗算と加算だけであり、DSP内部では乗算と加算が平行して行われるため高速処理が可能である。図3はこの発明の原理構成をより簡略的に示したものである。即ち、ボリューム代わりの乗算器21から生じるAGC後出力28をバッファ25で累算し、ここで目標値24を減算して誤差23を求める。演算器26はこの誤差を基に上記多項式の補正值演算を行い、乗算器21のゲイン調整に必要な補正係数27を算出する。

【0014】図4はDSPの具体的なハード構成である。図中、31はDSP内部バスで、ここに例えばサンプリング周波数38kHzのA/D変換器10でA/D変換したデジタル信号を入力する。32は内蔵データメモリで、ここには上記デジタル信号や内部的に処理されたデータが保存される。33は前述した入力ボリューム用の乗算、電圧・エネルギー変換用の乗算、補正值演算用の乗算等を行う乗算器、34は誤差演算や補正值演算の

加算に使用される加算器（ALU）、35は加算結果を累積するアキュムレータ、36はメモリ32の出力レジスタ、37はバス31からのデータを保持するレジスタ、38、39は乗算器33の入力セクタ、40、41はALUの入力セクタである。

【0015】図5は図1の乗算器21をDSPプログラムで実現する場合の信号の流れを示している。即ち、A/D変換器10から入力する今回のデータを内部バス31、セクタ39を通して乗算器33に導く一方、データメモリ32から前回AGC計算により算出された値（補正係数h）を読み出し、これをレジスタ36、セクタ38を通して乗算器33に導く。従って、この場合の乗算器33の出力はゲイン調整後の出力となる。これをセクタ40、ALU34を通してアキュムレータ35に入力する。

【0016】図6は図1の乗算器22による2乗演算をDSPプログラムで実現する場合の信号の流れを示している。即ち、アキュムレータ35に保存されているAGC調整後の値をセクタ38、39で同時に乗算器33に入力することで2乗し、その結果をセクタ40、ALU34、アキュムレータ35、バス31を通してメモリ32へ出力用にセーブする。

【0017】図7は図1の加算器23による積分値の加算、目標値24の減算、積分器25による積分値の更新を、DSPプログラムで実現する場合の信号の流れを示している。即ち、積分値の加算は、アキュムレータ35の出力をセクタ41でALU34に入力する一方、メモリ32にセーブされている値をレジスタ36、セクタ40を通してALU34に入力することで実現できる。このとき、目標値の減算も同時に行われる。積分値の更新はアキュムレータ35に循環する形で行われる。

【0018】図8は図1の演算器26による多項式の演算をDSPプログラムで実現する場合の信号の流れを示している。即ち、メモリ32から読み出した値（誤差X）をレジスタ36、セクタ39を通して乗算器33に入力し、このとき乗算器33の出力を入力に帰還して乗算する。この乗算器33の出力は入力に帰還されると同時にセクタ40を通してALU34に入力し、ここでアキュムレータ35の出力をセクタ41でALU34に入力して加算する。この加算結果が補正值Yとなるが、乗算器33の乗算を例えば20ステップ行うことで、図2のような理想特性に近い補正特性が得られる。

【0019】図9は図1の累算器27によるAGC乗算係数hの演算をDSPプログラムで実現する場合の信号の流れを示している。即ち、アキュムレータ35の出力（AGC乗算係数h）をセクタ41を通してALU34に入力すると共にメモリ32に入力し、一方でメモリ32から読み出した値（補正值Y）をレジスタ36、セクタ40を通してALU34に入力して加算（減

算)する。この動作を繰り返すことでAGC乗算係数 h を更新する。

【0020】上述した各処理はDSPの同じ内部構成を利用したプログラムで繰り返し実行され、入力信号のレベル変動を抑えた目標レベルの出力信号を作成する。この出力信号はデジタルであるため、アナログ信号にする場合はD/A変換をする。

【0021】

【発明の効果】以上述べたようにこの発明によれば、入力ゲイン調整をDSPプログラムで行うようにしたので、調整用のハードウェアを要せず、またパラメータの変更が容易である。さらには目標とするエネルギー値において安定し、且つ全体変動に対し素早く追従することができ、しかも短い処理時間で済む利点がある。

【図面の簡単な説明】

【図1】 この発明の原理図である。

【図2】 この発明の誤差補正特性図である。

【図3】 この発明の他の原理図である。

【図4】 この発明の実施例を示すDSP内部構成図である。

【図5】 DSPによるAGC乗算処理の動作説明図である。

【図6】 DSPによる2乗処理の動作説明図である。

【図7】 DSPによる目標値減算、積分値加算、積分値更新の動作説明図である。

【図8】 DSPによる多項式演算処理の動作説明図である。

【図9】 DSPによるAGC乗算係数更新処理の動作説明図である。

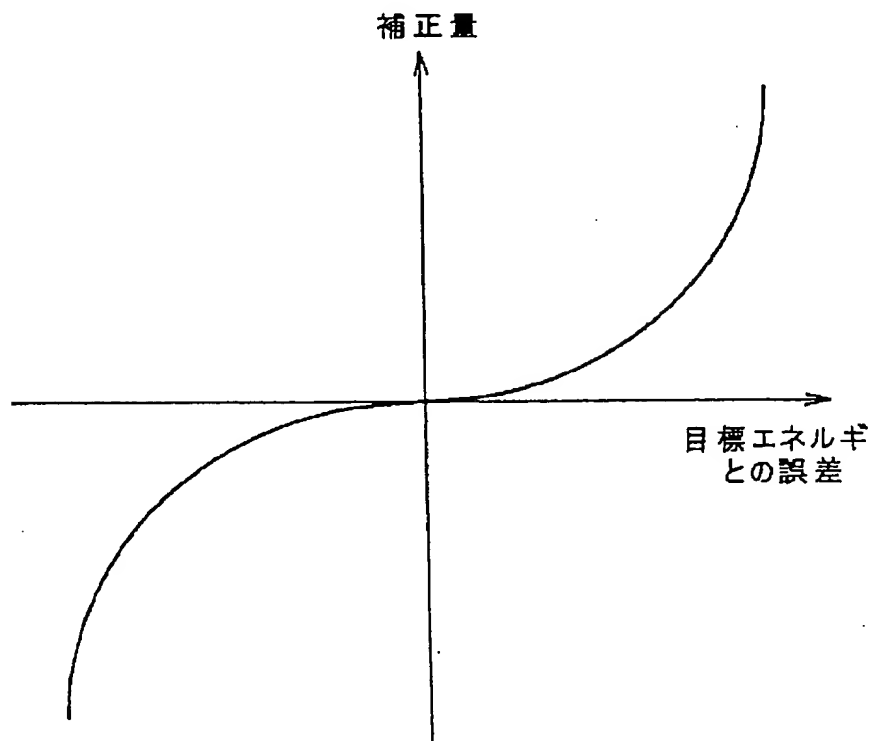
【図10】 従来のAGC装置の構成図である。

【図11】 従来の誤差補正特性図である。

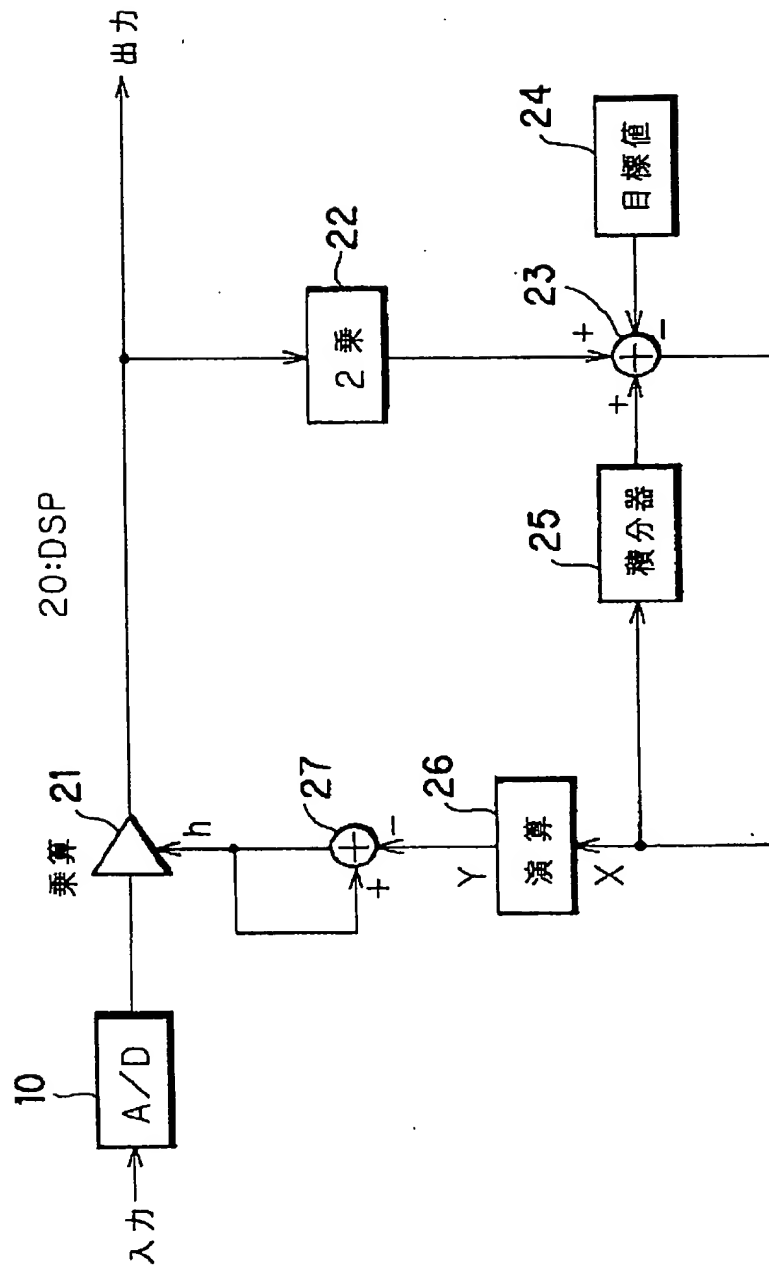
【符号の説明】

10…A/D変換器、20…DSP、21…入力ポリリウム用乗算器、22…エネルギー変換用乗算器、23…誤差算出用加算器、24…目標値、25…誤差積分器、26…補正值演算器、27…AGC乗算係数累算器、31…DSP内部バス、32…内蔵データメモリ、33…乗算器、34…加算器(ALU)、35…アキュムレータ、36、37…レジスタ、38、39、40、41…セクタ。

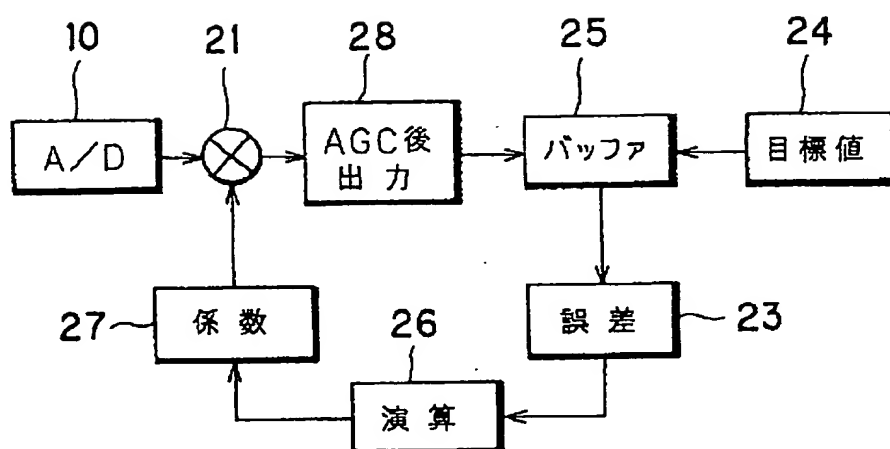
【図2】



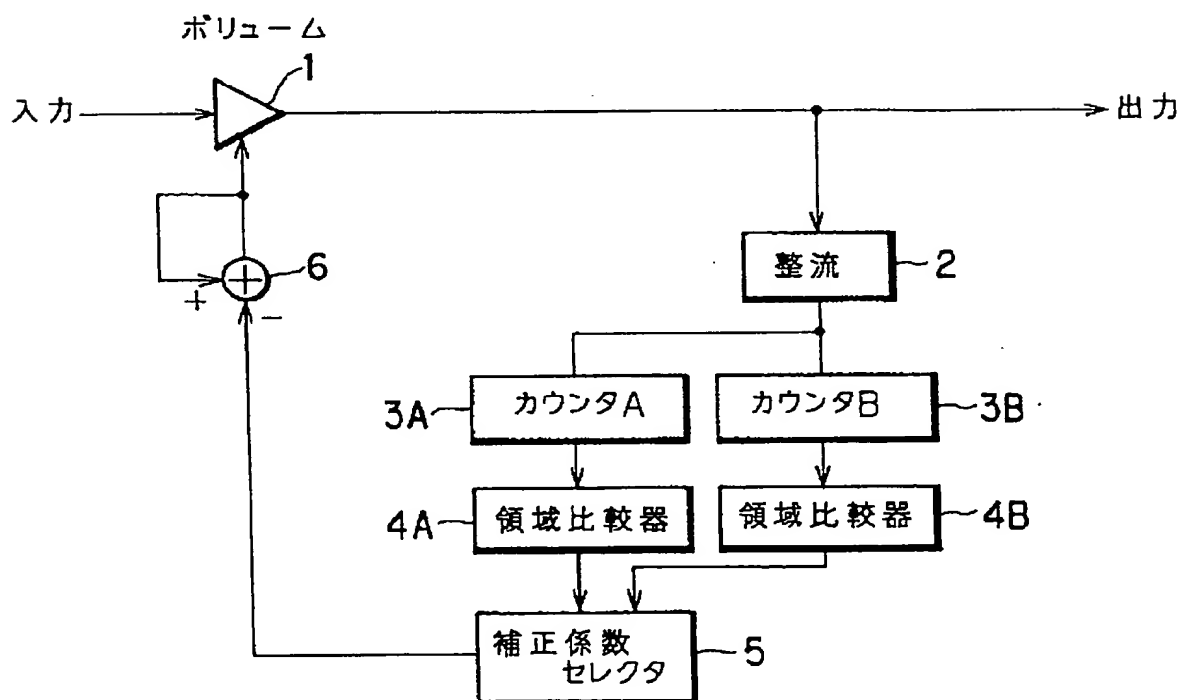
【図1】



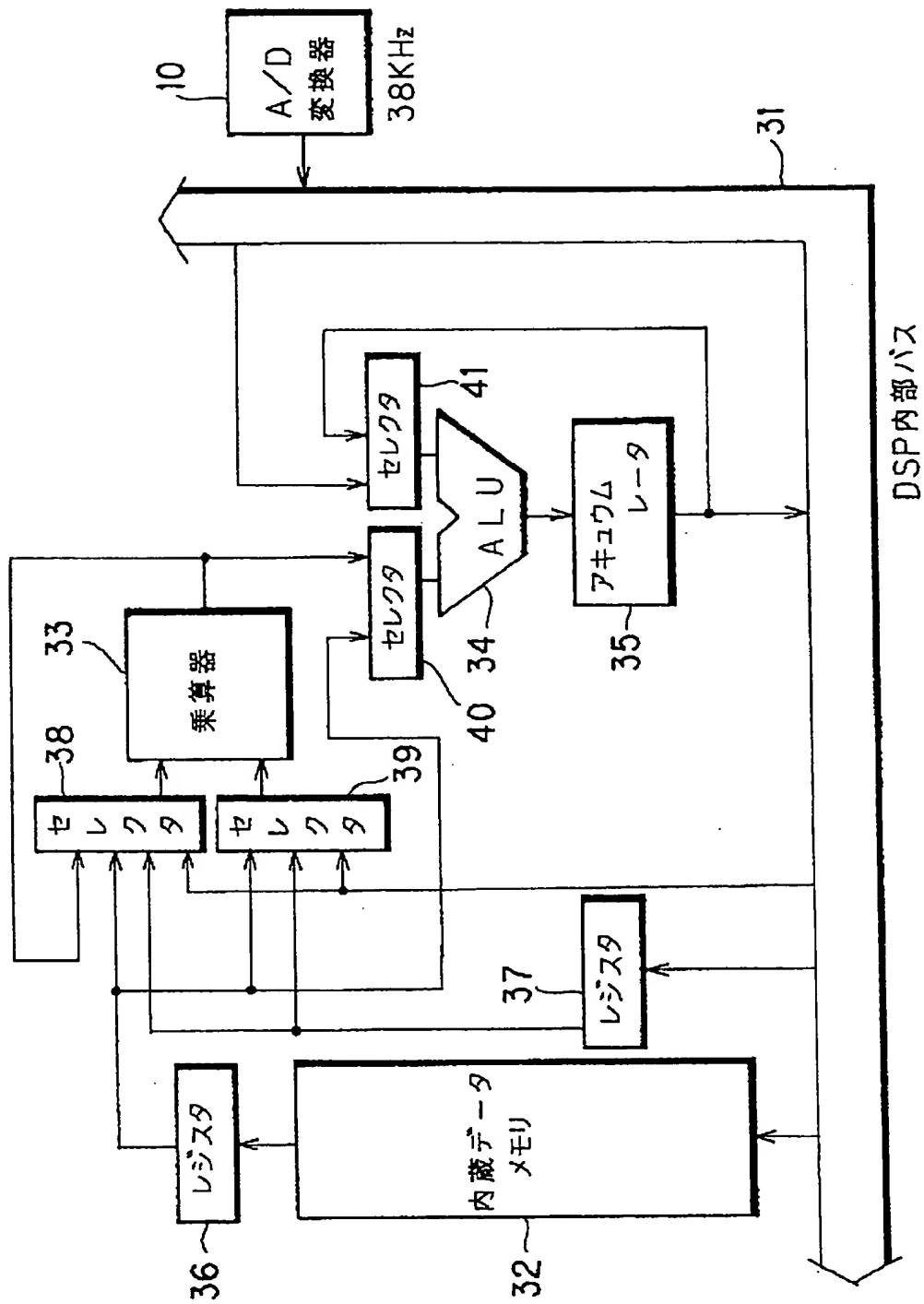
【図3】



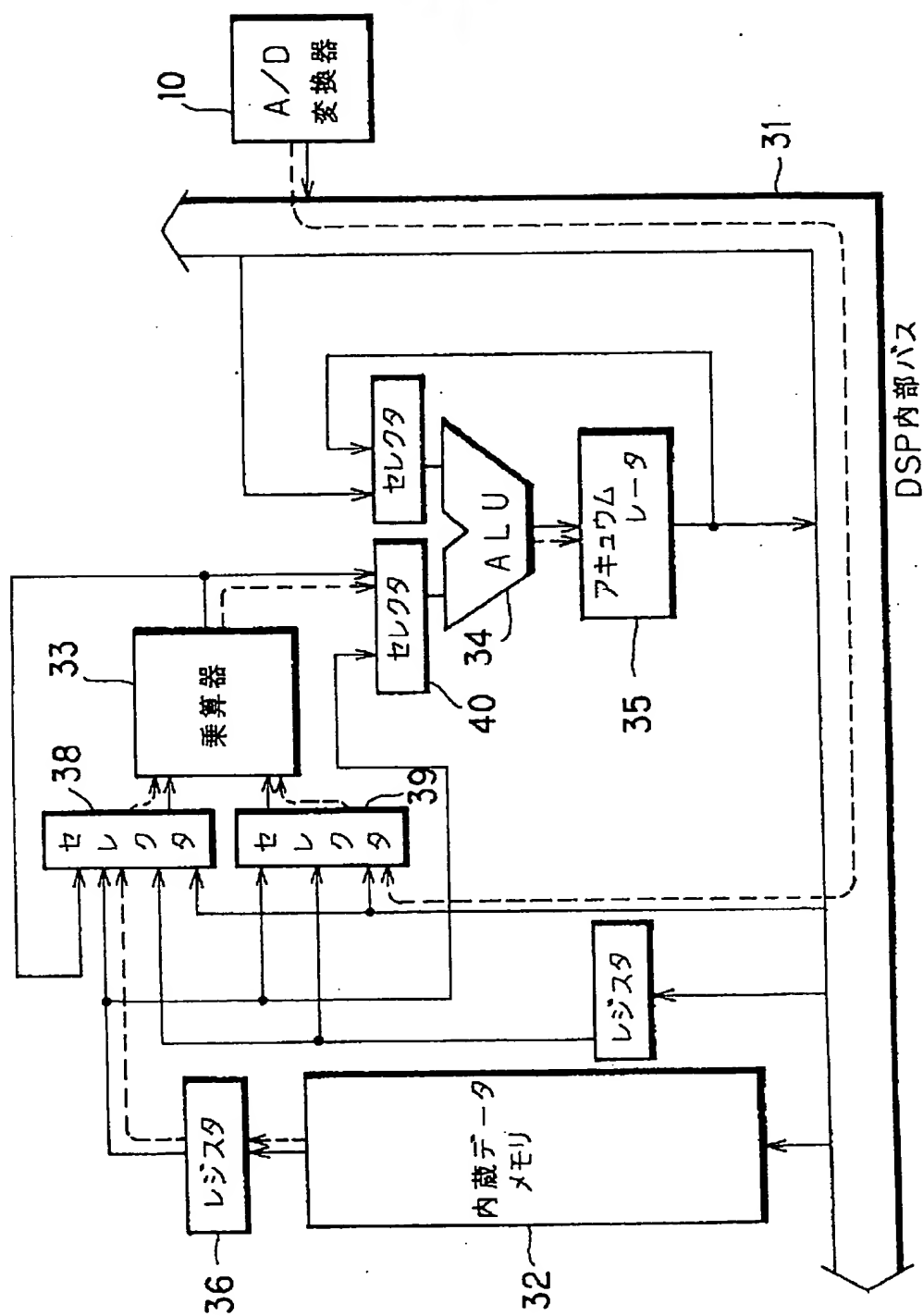
【図10】



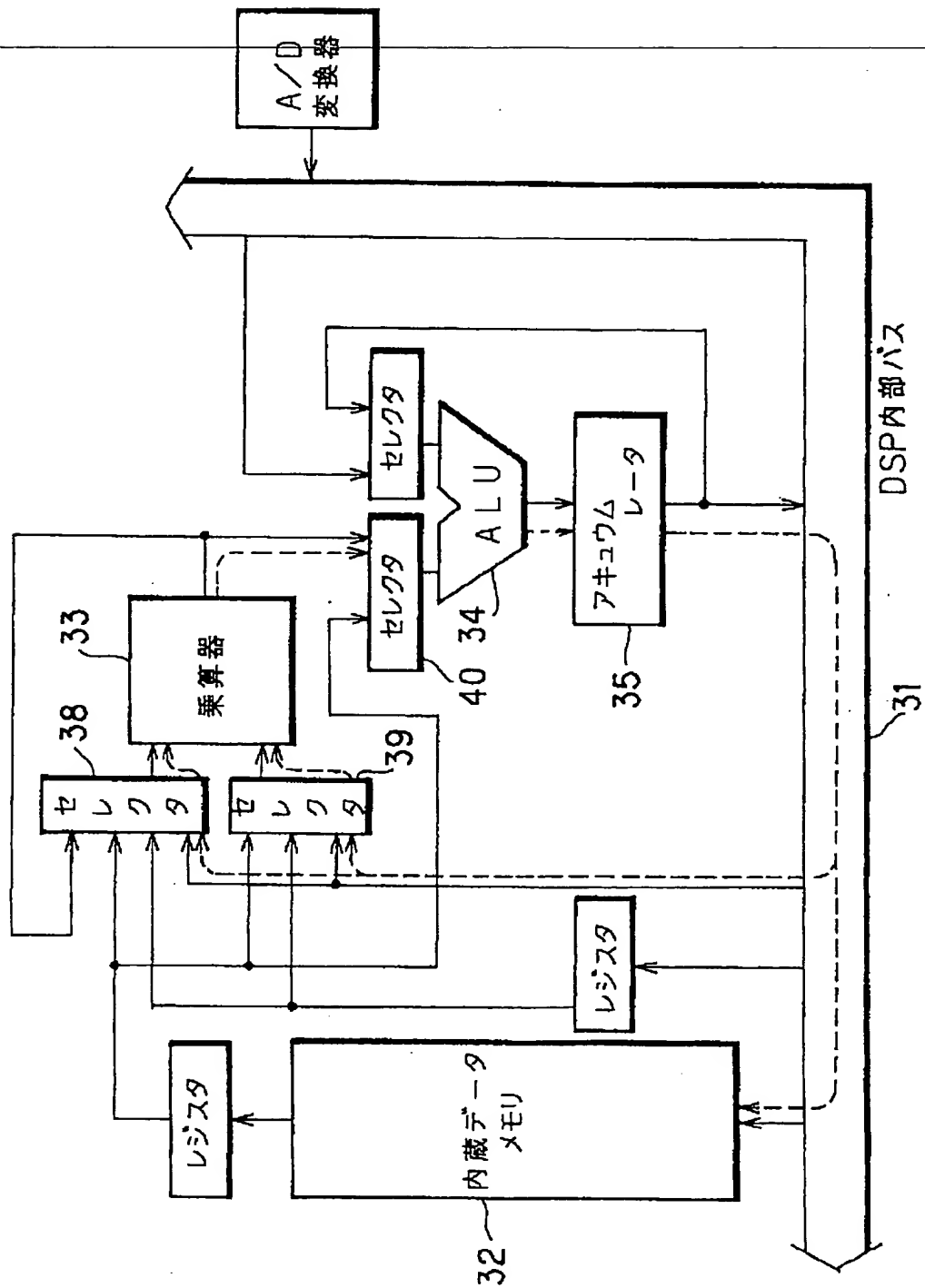
【図4】



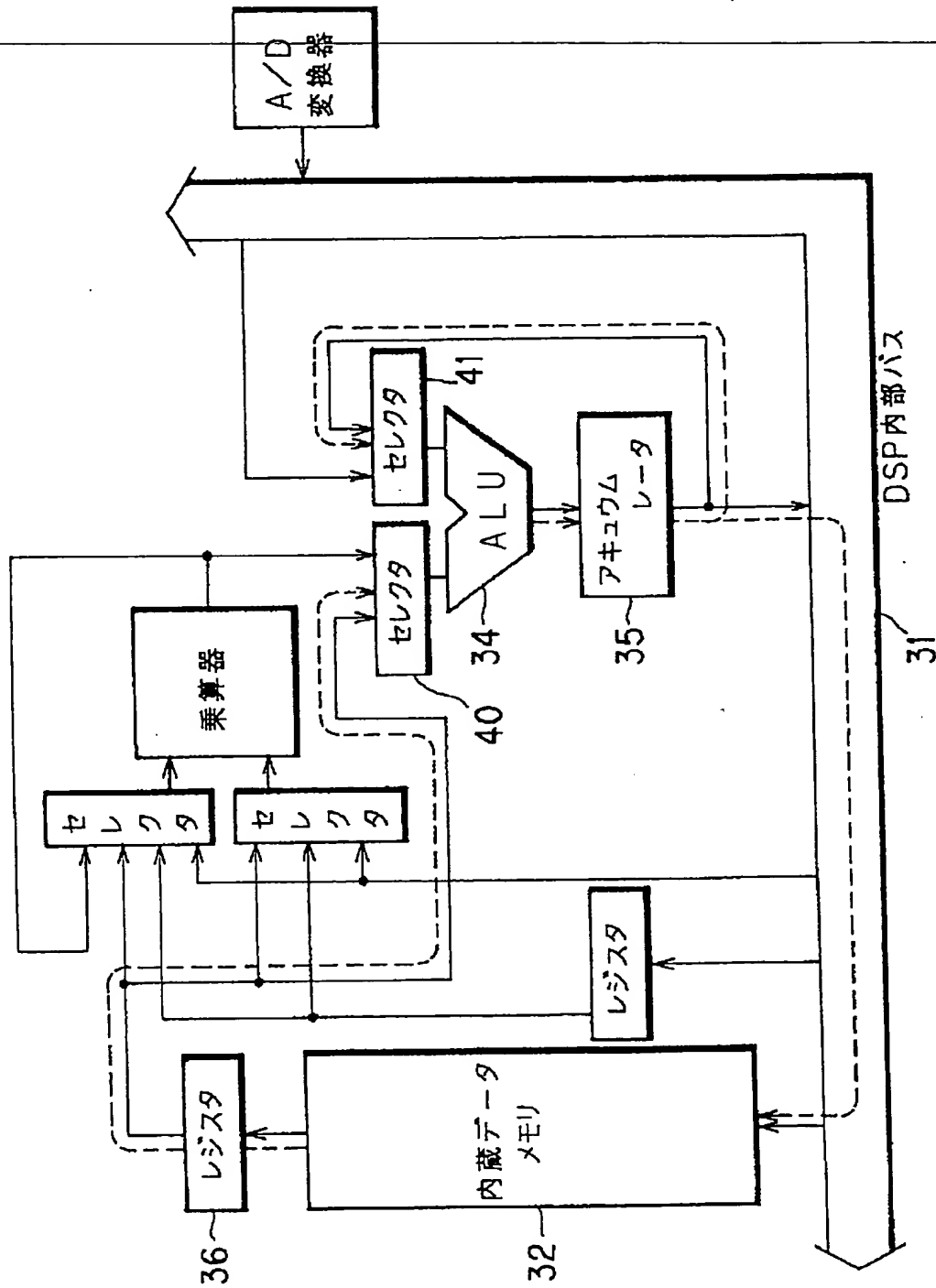
【図5】



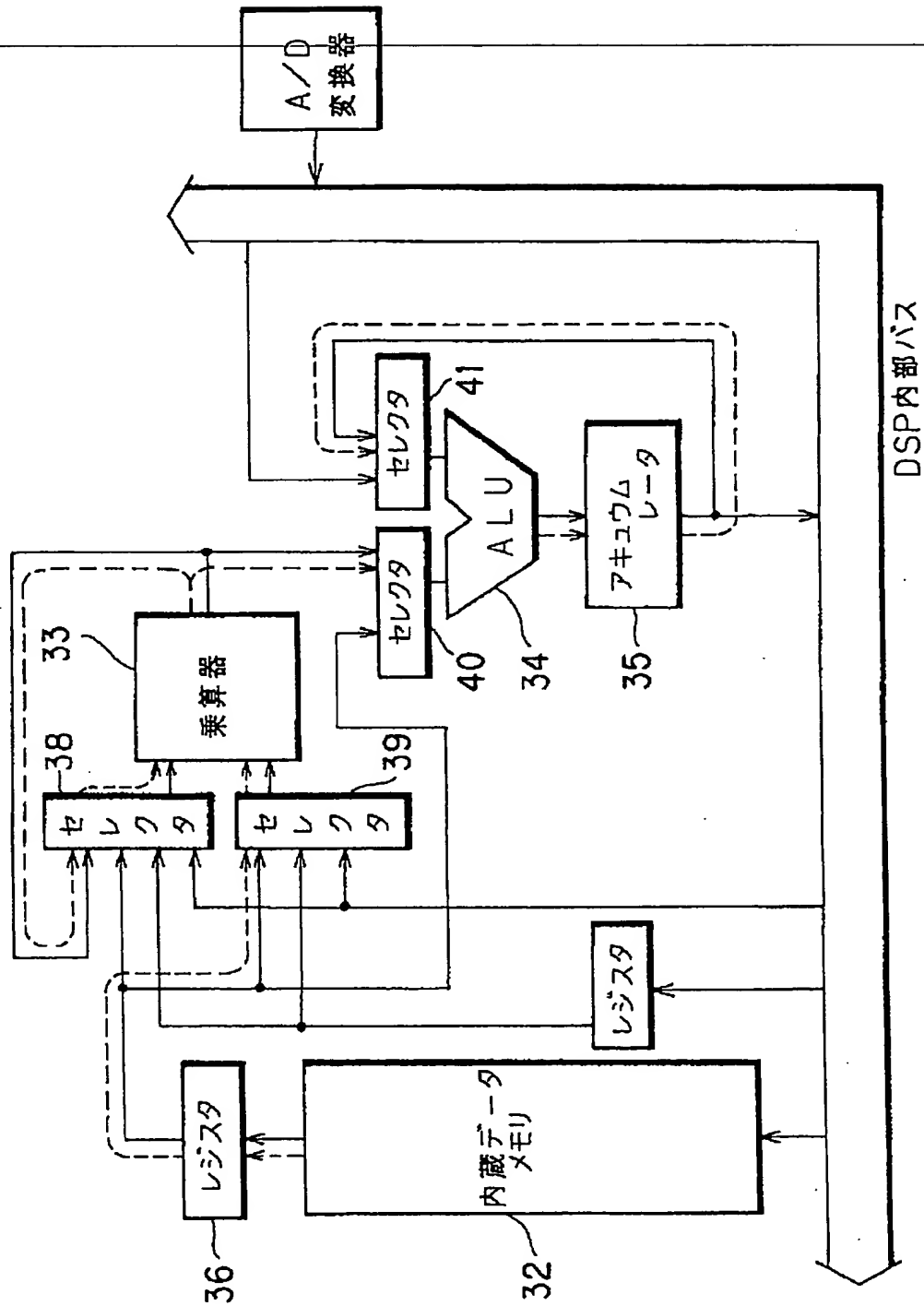
【図6】



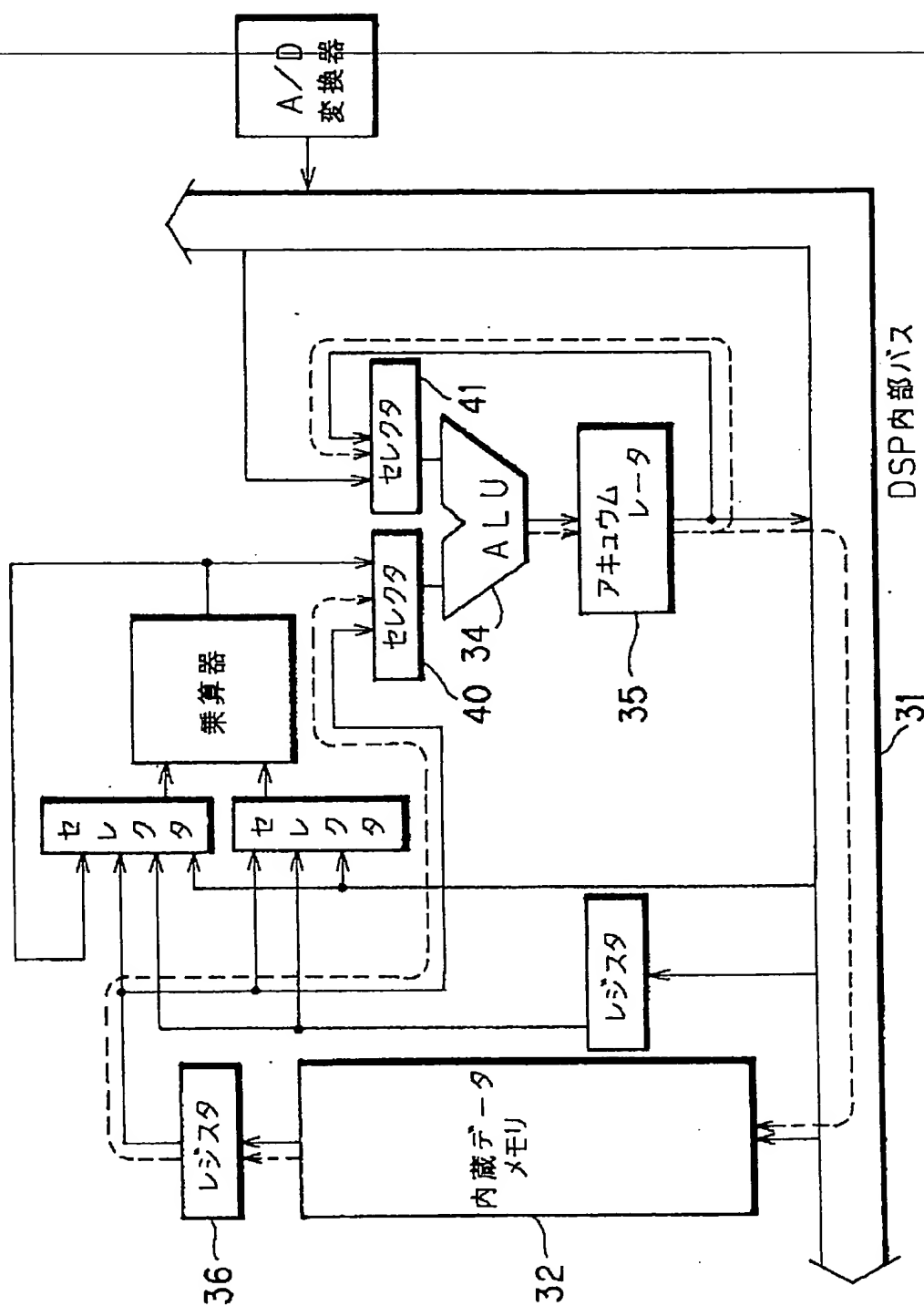
【図7】



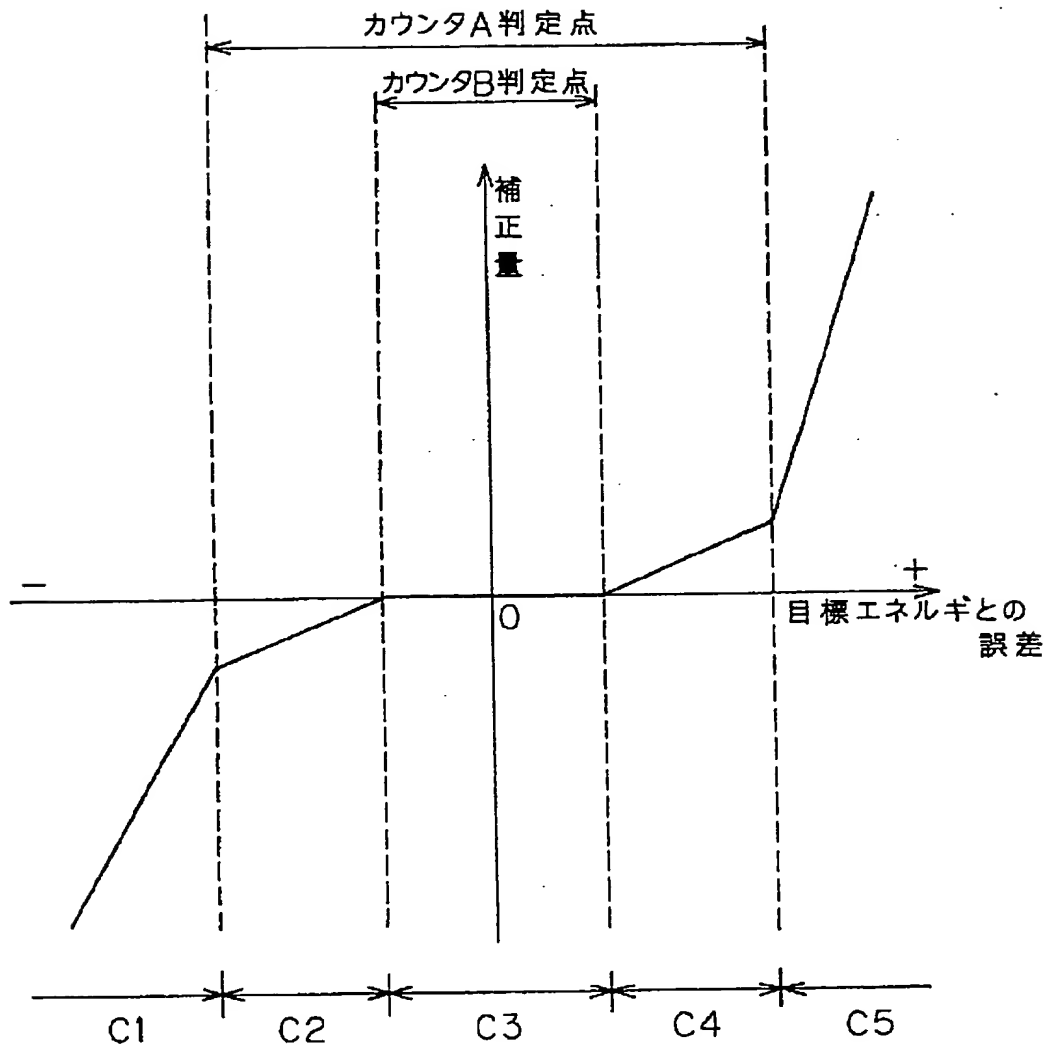
【図8】



【図9】



【図11】



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☒ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER: _____**

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.